

CLIPPEDIMAGE= JP407028746A
PAT-NO: JP407028746A
DOCUMENT-IDENTIFIER: JP 07028746 A
TITLE: DATA TRANSFER DEVICE

PUBN-DATE: January 31, 1995

INVENTOR-INFORMATION:

NAME

SUZUKI, HIROSHI

ASSIGNEE-INFORMATION:

NAME

FUJI XEROX CO LTD

COUNTRY

N/A

APPL-NO: JP05196822

APPL-DATE: July 14, 1993

INT-CL_(IPC): G06F013/362

ABSTRACT:

PURPOSE: To provide a data transfer device which prevents such a case where the normal input/output of data is impossible due to an empty or filled FIFO and also improves the bus efficiency.

CONSTITUTION: A DMA controller 3 transfers data between a memory 6 and a FIFO 4 via a bus 7. When a bus arbitrating circuit 8 simultaneously receives the bus requests from a CPU 1, an image processor 2 and the controller 3, the circuit 8 gives the bus using right to these bus requesters based on their bus using priority. When a bus request BR1* is received from the CPU 1 having the bus using priority higher than the controller 3 while this controller is using the bus 7, a bus use control circuit 9 outputs a DMA stop signal DH* with a prescribed time lag. Thus the circuit 8 delays the transfer of the bus using right to the CPU 1 from the controller 3. As a result, the data are satisfactorily transferred between the memory 6 and the FIFO 4 and at the same time the arbitrating frequency of the circuit 8 is reduced.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-28746

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl.^o

G 0 6 F 13/362

識別記号

5 1 0 J

庁内整理番号

8944-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1 F D (全 5 頁)

(21)出願番号

特願平5-196822

(22)出願日

平成5年(1993)7月14日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 鈴木 博

埼玉県岩槻市府内3丁目7番1号 富士ゼ

ロックス株式会社内

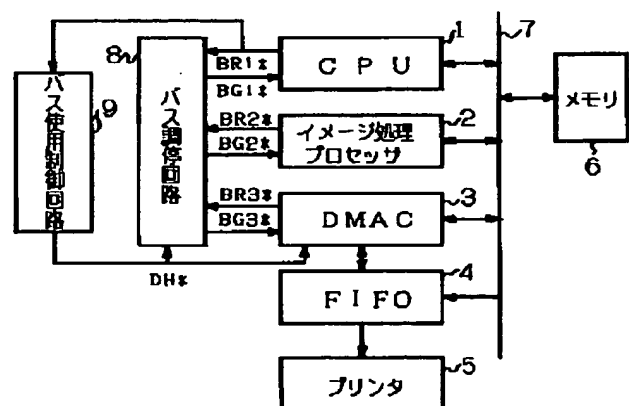
(74)代理人 弁理士 本庄 富雄 (外1名)

(54)【発明の名称】 データ転送装置

(57)【要約】

【目的】 F I F Oが空あるいは満杯になって正常なデータ入出力ができなくなるのを防止すると共に、バス効率を向上させること。

【構成】 DMAコントローラ3は、バス7を介してメモリ6とF I F O4との間のデータ転送を行う。バス調停回路8は、CPU1、イメージ処理プロセッサ2、DMAコントローラ3の内の複数から同時にバス要求を受けたとき、それらのバス使用優先順位に従ってバス使用権を与える。バス使用制御回路9は、DMAコントローラ3がバス7を使用中に、それよりバス使用優先順位が高いCPU1がバス要求BR1*を出したとき、DMA停止信号DH*を所定時間遅らせて出力することにより、バス調停回路8がバス使用権をDMAコントローラ3からCPU1に移すのを遅らせる。その結果、メモリ6とF I F O4との間のデータ転送が充分に行われると共に、バス調停回路8による調停回数が低減する。



【特許請求の範囲】

【請求項1】 上位バス使用装置と、前記上位バス使用装置が使用するバスと同じバスを使ってメモリとFIFOとの間のデータ転送を行う、バス使用優先順位が前記上位バス使用装置より低いDMAコントローラと、複数のバス使用装置から同時にバス要求を受けたとき、その内のバス使用優先順位が最も高いバス使用装置にバス使用権を与えるようにバス使用の調停を行うバス調停回路と、前記DMAコントローラがバス使用中に前記上位バス使用装置がバス要求を出したとき、前記バス調停回路に作用して、前記DMAコントローラから前記上位バス使用装置にバス使用権を移す時期を所定時間遅らせるバス使用制御回路とを具えたことを特徴とするデータ転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の装置が共通バスを用いてデータ転送を行うデータ転送装置に関するものである。

【0002】

【従来の技術】図6は、従来のデータ転送装置の一例を示すブロック図である。図6において、1はCPU（中央処理装置）、2はイメージ処理プロセッサ、3はDMAコントローラ、4はFIFO(First In First Out)、5はプリンタ、6はメモリ、7はバス、8はバス調停回路である。メモリ6に格納されたイメージデータをCPU1及びイメージ処理プロセッサ2で合成、編集、変換等の処理を行い、その後、DMAコントローラ3でメモリ6のイメージデータをFIFO4に転送し、FIFO4からプリンタ5に出力する。イメージ処理プロセッサ2は、例えば、イメージデータ編集プロセッサでも良いし、イメージデータ圧縮・伸長プロセッサでも良い。

【0003】CPU1、イメージ処理プロセッサ2、DMAコントローラ3は、バス7を介してメモリ6との間でデータ転送を行うが、その際、それらの内いずれがバス7を使用するかを、バス調停回路8によって決定するようにしている。CPU1、イメージ処理プロセッサ2、DMAコントローラ3は、バス7の使用要求があるときには、バス調停回路8に対して、それぞれバス要求信号BR1*、BR2*、BR3*を送出する（“*”は負論理信号であることを示す）。それを受けたバス調停回路8は、バス要求信号を出している装置が1つだけのときは、その装置にバス許可信号BG1*、BG2*、BG3*を送出する。しかし、同時に複数の装置からバス要求があったときは、予め定められた優先順位に従ってバス使用権を与える。

【0004】この様なデータ転送装置において、メモリ6のイメージデータをプリンタ5に出力する場合、DMAコントローラ3により、メモリ6からFIFO4にイメージデータをDMA転送する。その時、バス使用優先

順位がDMAコントローラ3より高いCPU1が、バスを独占した場合、メモリ6からFIFO4にイメージデータが転送されず、遂にはFIFO4が空になって正常なプリントができなくなる可能性がある。それを防ぐため、バス調停回路8にFIFO4からのデータ量フラグ信号DFを入力し、FIFO4のデータ量が所定値以下のときは、バス使用の優先順位を変更してDMAコントローラ3のバス使用優先順位を最上位にするようにしている。

10 【0005】例えば、DF=1（FIFO4のデータ量が所定値以上）の場合、バス使用優先順位をCPU1>DMAコントローラ3>イメージ処理プロセッサ2

とし、DF=0（FIFO4のデータ量が所定値以下）場合、

DMAコントローラ3>CPU1>イメージ処理プロセッサ2

というように変更することで、FIFO4を空にすることなくプリントできるようにしている。

20 【0006】なお、このようなデータ転送装置に関連する従来の文献としては、例えば、特開平2-144652号公報がある。

【0007】

【発明が解決しようとする課題】

（問題点）しかしながら、前記した従来の技術には、FIFO4のデータ量が所定値以上のとき、DMAコントローラ3がメモリ6とFIFO4との間でデータ転送中に、それよりバス使用優先順位が高いCPU1がバス要求を出してきた場合、バス調停期間の出現回数が多くなりバス効率が低下するという問題点があった。

30 【0008】（問題点の説明）図5（イ）は、上記従来のデータ転送装置におけるバスの使用状態の一例を示す図である。図5（イ）に示すように、DMAコントローラがバスを使用中に、それよりバス使用優先順位が高いCPUがバス要求BR1*を出してきた場合、バスを使用する装置が、DMAコントローラ、CPU、DMAコントローラというように切り換わる。その切り換えは、前記バス調停回路8が行うわけであるが、バス使用装置を切り換える際には、バス使用優先順位に基づいて次のバス使用装置を決定するためのバス調停期間Acが1バスサイクル分必要となる。そのため、上記従来技術のように、バス使用装置の切り換えが頻繁になると、バス調停期間Acの出現回数が多くなり、その分バス効率が低下することになる。本発明は、そのような問題点を解決することを課題とするものである。

【0009】

【課題を解決するための手段】前記課題を解決するため、本発明のデータ転送装置では、上位バス使用装置と、前記上位バス使用装置が使用するバスと同じバスを使ってメモリとFIFOとの間のデータ転送を行う、バ

ス使用優先順位が前記上位バス使用装置より低いDMAコントローラと、複数のバス使用装置から同時にバス要求を受けたとき、その内のバス使用優先順位が最も高いバス使用装置にバス使用権を与えるようにバス使用の調停を行うバス調停回路と、前記DMAコントローラがバス使用中に前記上位バス使用装置がバス要求を出したとき、前記バス調停回路に作用して、前記DMAコントローラから前記上位バス使用装置にバス使用権を移す時期を所定時間遅らせるバス使用制御回路とを具えることとした。

【0010】

【作用】DMAコントローラがメモリとFIFOとの間でデータ転送中に、それよりバス使用優先順位が高い上位バス使用装置がバス要求を出した場合、バス使用制御回路により、前記バス調停回路が前記DMAコントローラに代えて上位バス使用装置にバス使用権を与える時期を所定時間遅らせる。そのため、DMAコントローラによるデータ転送を所定時間継続させている間に所定量のデータ転送ができ、その分FIFOにデータを蓄積させることができるので、その後、上記上位バス使用装置にバス使用権が移っても、該上位バス使用装置がバス使用を終了した直後再びバス使用権を獲得してデータ転送を行うというような必要はなくなる。その結果、バス使用装置の切り換え回数が減少してバス調停期間の出現回数が少なくなり、バス効率を向上させると共に、FIFOが空になって正常なデータ入出力ができなくなるというようなこともなくなる。

【0011】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図1は、本発明の一実施例を示すブロック図である。符号は、図6のものに対応し、9はバス使用制御回路である。バス使用制御回路9は、DMAコントローラ3がバス7を使用中に、それよりバス使用優先順位が高いCPU1がバス要求信号BR1*を出したとき、所定時間遅らせてDMA停止信号DH*をDMAコントローラ3及びバス調停回路8に対して送出する。該DMA停止信号DH*を受けたDMAコントローラ3は、その時点でDMAを停止する。また、バス調停回路8は、上記DMA停止信号DH*が出力されていない間、すなわち、DMA停止信号DH*が“1”である間は、バス要求信号BR1*が入力されても、バス調停は行われずバス許可信号BG3*を出したままにしておく。そして、DMA停止信号DH*が出力されて始めてバス要求信号BR3*が停止し、さらにバス許可信号BG3*の出力を停止し、その代わりにCPU1に対してバス許可信号BG1*を与えるようにする。なお、バス調停回路8における、CPU1、イメージ処理プロセッサ2、DMAコントローラ3のバス使用優先順位は、例えば、

CPU1>DMAコントローラ3>イメージ処理プロセ

ッサ2

のように固定されている。

【0012】図2は、バス使用制御回路の一例を示す図である。図2において、81はシフトレジスタ、82、83はインバータである。バス要求信号BR1*が

“1”のとき、すなわち、CPU1がバス7の使用を要求していないとき、シフトレジスタ81は、クリアの状態ではQH出力は“0”である。また、バス要求信号BR1*が“0”のとき、すなわち、CPU1がバス7の使用を要求しているとき、シフトレジスタ81は、クリアが解除されてクロック信号CLKのタイミングでQA出力から順次シフト動作を始める。そして、8クロック目でQH出力が“1”となり、DMA停止信号DH*を出力する。

【0013】次に、本発明のデータ転送装置の動作を説明する。図4は、本発明のデータ転送装置の動作を説明するためのタイミングチャートである。時点T₁でDMAコントローラ3が、バス要求信号BR3*を出すと、バス調停回路8がバス許可信号BG3*を出して、DMAコントローラ3によるバス7の使用が開始される。そして、DMAコントローラ3がバス7を使用してデータの転送を行っている最中の時点T₂で、CPU1がバス要求信号BR1*を出すと、バス使用制御回路9がシフト動作を開始する。そして、8クロック目の時点T₃でDMA停止信号DH*が出力される。DMA停止信号DH*が出力されると、DMAコントローラ3のバス要求信号BR3*が停止する。バス要求信号BR3*が停止することでバス許可信号BG3*も停止する。一方、バス調停回路8は、バス要求信号BR1*とDMA停止信号DH*が共に“0”であることを条件にしてバス調停を行い、バス調停期間Acにおいてバス許可信号BG1*を出力し、CPU1にバスの使用を許可する。

【0014】この関係を、従来のデータ転送装置の場合と対比して示すと、図5(ロ)のようになる。すなわち、DMAコントローラ3がバス7を使用してデータの転送を行っている最中に、CPU1がバス要求信号BR1*を出しても、直ぐにはCPU1に切り換わず、少なくとも8クロック分はDMAコントローラ3のバス使用が継続される。そして、通常、8クロック分データ転送を継続させれば、FIFO4に十分なデータを蓄積させることができるので、その後、CPU1にバス7の使用を譲っても、CPU1のバス使用終了後、直ぐにはバス7を使用する必要はなくなる。その結果、図5(イ)と図5(ロ)を比較すれば明らかな通り、バス調停期間Acの出現回数を減らすことができる。

【0015】図3は、バス使用制御回路の他の例を示す図である。符号は、図2のものに対応し、84は8入力1出力セレクタ、85はデータ設定手段、86は3ビットレジスタである。データ設定手段85は、DATA2～DATA0を設定するもので、例えば、CPU1によ

5

って設定されるレジスタで構成してもよいし、ジャンパボックスであってもよい。3ビットレジスタ86でデータ設定手段85の設定値を保持し、その値を8入力1出力セレクタ84に入力する。そして、その3ビットにより、8入力1出力セレクタ84の入力A~Hの内の1つを選択し、出力Yに出力する。そうすることにより、DMA停止信号DH*の遅延時間を細かく設定することができる。

【0016】なお、上記実施例では、DMAコントローラ3により、メモリ6からFIFO4にデータを転送する場合で説明したが、本発明は、FIFO4からメモリ6にデータを転送する場合にも適用できる。すなわち、プリンタ5の代わりにデータ入力装置を設け、該入力装置からのデータをFIFO4に入力し、そのデータをDMAコントローラ3により、メモリ6に転送する場合にも適用することができる。その場合は、DMAコントローラ3がバス7を使って、FIFO4からメモリ6にデータ転送中に、CPU1がバス要求BR1*を出したとき、バス使用制御回路9でDMAコントローラ3によるデータ転送の停止を遅らせることにより、FIFO4が満杯になって正常なデータ入力ができなくなるのを防止する。

【0017】

【発明の効果】以上述べた如く、本発明のデータ転送装置によれば、DMAコントローラがメモリとFIFOとの間でデータ転送中に、それよりバス使用優先順位が高い上位バス使用装置がバス要求を出した場合、DMAコントローラによるデータ転送を直ぐには停止させず所定

6

時間継続させる。そうすれば、所定時間データ転送を継続させている間に所定量のデータ転送ができ、FIFOにデータを蓄積させること、あるいは、FIFO4からデータを取り出すことができる。そのため、その後、上記上位バス使用装置にバス使用権が移っても、該上位バス使用装置がバス使用を終了した直後再びバス使用権を獲得してデータ転送を行うというよう必要はなくなる。その結果、バス使用権の移動回数が減少してバス調停期間の出現回数が少なくなり、バス効率を向上させると共に、FIFOが空あるいは満杯になって正常なデータ入出力ができなくなるというようなこともなくなる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示すブロック図

【図2】 バス使用制御回路の一例を示す図

【図3】 バス使用制御回路の他の例を示す図

【図4】 本発明のデータ転送装置の動作を説明するためのタイミングチャート

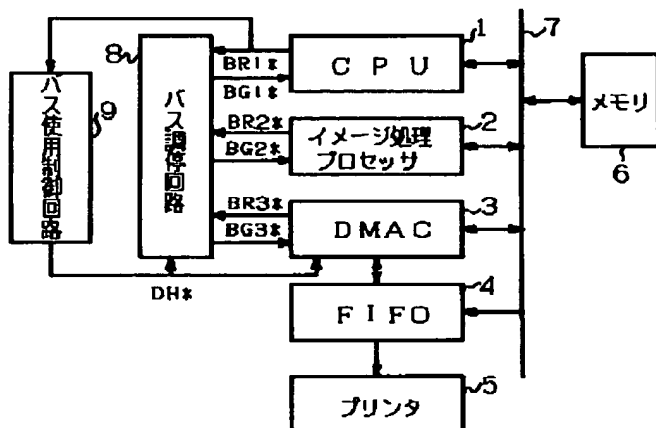
【図5】 バスの使用状態の一例を示す図

【図6】 従来のデータ転送装置の一例を示すブロック図

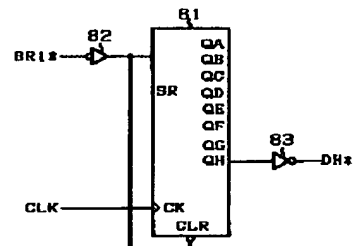
【符号の説明】

1…CPU、2…イメージ処理プロセッサ、3…DMAコントローラ、4…FIFO、5…プリンタ、6…メモリ、7…バス、8…バス調停回路、9…バス使用制御回路、81…シフトレジスタ、82、83…インバータ、84…8入力1出力セレクタ、85…データ設定手段、86…3ビットレジスタ

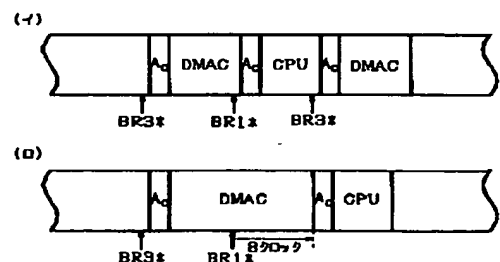
【図1】



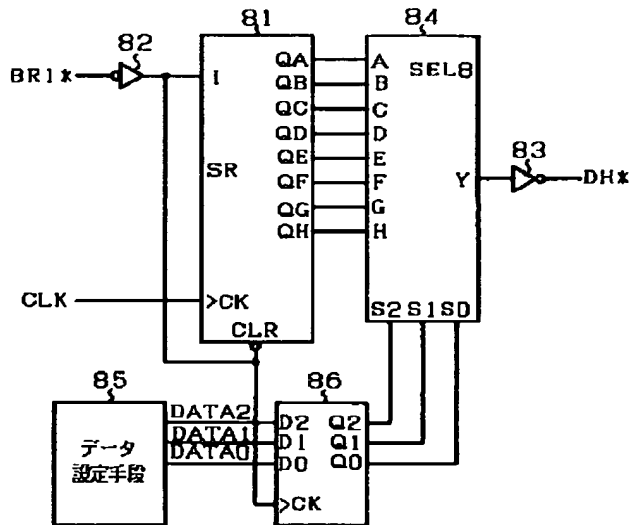
【図2】



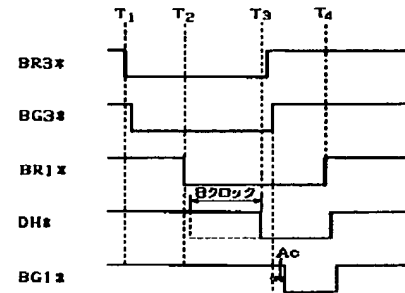
【図5】



【図3】



【図4】



【図6】

